

PAT-NO: JP359202638A
DOCUMENT-IDENTIFIER: JP 59202638 A
TITLE: ETCHING METHOD FOR FINE PATTERN

PUBN-DATE: November 16, 1984

INVENTOR-INFORMATION:

NAME **COUNTRY**
KIKUCHI, AKIRA

ASSIGNEE-INFORMATION:

NAME **COUNTRY**
HITACHI LTD N/A

APPL-NO: JP58077440

APPL-DATE: May 4, 1983

INT-CL (IPC): H01L021/306 , H01L021/302

US-CL-CURRENT: 148/DIG.30 , 257/E21.215

ABSTRACT:

PURPOSE: To enable to easily form a contact hole of 1 μ m or less and a wiring even according to a photolithography by a method wherein a polycrystalline Si is deposited on a matter to be etched and the polycrystalline Si is converted into a metal silicide.

CONSTITUTION: A polycrystalline Si3 is deposited on an Si substrate 1 with the surface, whereon an insulating film 2 has been formed, and, after that, a part of the polycrystal is removed. At this time, the size of the contact hole is set at l1. Then, such metals as palladium, platinum, nickel, etc., are deposited. When a thermal treatment is performed at 250-500°C, reaction effects between the

metals and the polycrystalline Si and a metal silicide 5 is formed. The metals only are etched and the unreacted metals are removed by performing an etching using a solution (in case of palladium, NH4I-I2 or KI-I2 solution is used and in case of platinum, aqua regia is used) which doesn't etched the metal silicide. Then, after the insulating film 2 was removed by performing an etching, a diffusion layer 6 is formed. Among films to be used as an insulating film are ones such as oxide film, nitriding film, alumina film, tantalum oxide film, etc.

COPYRIGHT: (C)1984,JPO&Japio

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-202638

⑬ Int. Cl.³
H 01 L 21/306
21/302

識別記号

庁内整理番号
D 8223-5F
8223-5F

⑭ 公開 昭和59年(1984)11月16日

発明の数 1
審査請求 未請求

(全 2 頁)

⑮ 微細パターンのエッティング方法

⑯ 特 願 昭58-77440

⑰ 出 願 昭58(1983)5月4日

⑱ 発明者 菊地彰

国分寺市東恋ヶ窪1丁目280番

地株式会社日立製作所中央研究所内

⑲ 出願人 株式会社日立製作所
東京都千代田区神田駿河台4丁目6番地

⑳ 代理人 弁理士 高橋明夫 外1名

明細書

発明の名称 微細パターンのエッティング方法

特許請求の範囲

1. 半導体基板上に形成された絶縁膜および金属膜をホトエッティングするにあたり、該絶縁膜および該金属膜上に多結晶シリコンを堆積する工程、該多結晶シリコンをホトエッティング法によりエッティング除去する工程、前記半導体基板上にパラジウム、白金、ニッケルなどの金属を堆積後、熱処理して前記多結晶シリコンの全部または一部をシリサイドに変換する工程、該シリサイド上に残つた未反応の金属のみを選択的にエッティング除去する工程、前記絶縁膜または金属膜をシリサイドをマスクにしてエッティング除去する工程を含んでなることを特徴とする微細パターンのエッティング方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は、光を用いたリソグラフィでも $1 \mu m$ 以下のコンタクト穴、配線などが容易に形成でき

る微細パターンのエッティング方法を提供するものであり、超高周波トランジスタ、大規模集積回路に適用できる。

〔発明の背景〕

微細パターンは一般に短波長の光を用いたり、X線、電子線を用いて形成されている。

〔発明の目的〕

本発明の目的は、光リソグラフィでも $1 \mu m$ 以下のコンタクト穴、配線が容易に形成できる方法を提供することである。

〔発明の概要〕

上記目的を達成するため、本発明の構成は、被エッティング物上に多結晶 Si を堆積し、該多結晶 Si を金属シリサイドに変換するようにしたもののである。この変換工程において金属シリサイドは体積増加するため、この現象を利用すれば $1 \mu m$ 以下のパターンが容易に形成される。また、金属シリサイドはフッ酸、四フッ化炭素ガスでエッティングされないため、SiO₂、Si₃N₄のマスクとして適する。

〔発明の実施例〕

以下、本発明を実施例を参照して詳細に説明する。第1図に示すように、表面に絶縁膜2を形成したSi基板1上に多結晶Si3を堆積した後、通常のホトエッティング法により多結晶の一部を除去する。このときのコンタクトの大きさを ℓ_1 とする。次に、第2図に示すように、パラジウム、白金、ニッケルなどの金属4を堆積する。次に、250～500°Cで熱処理すると上記金属と多結晶Si3の間で反応が起り、金属シリサイド5が形成される。上記金属のみをエッティングし、金属シリサイドをエッティングしない液（パラジウムの場合は $\text{NH}_4\text{I}-\text{I}_2$ 又は $\text{KI}-\text{I}_2$ 溶液、白金の場合は王水）を用いて未反応の金属をエッティング除去すると第3図のようになる。多結晶Si3がすべて金属シリサイドに変換すると膜厚が約2倍になるため ℓ_2 は ℓ_1 よりも多結晶Si3の膜厚の2倍分だけ減少する。従つて、 $\ell_1 = 1\text{ }\mu\text{m}$ とし、多結晶Si3の膜厚を $0.25\text{ }\mu\text{m}$ として、多結晶Si3を金属シリサイドに変換すると $\ell_2 = 0.5\text{ }\mu\text{m}$

となる。次に、第4図に示すように、絶縁膜2をエッティング除去後、拡散層6を形成する。金層シリサイド5の一部はこのまま残して低抵抗配線として利用してもよいし、拡散層形成後、王水でエッティング除去してもよい。

〔発明の効果〕

以上詳述したように、本発明によれば、最初、多結晶Siに1μm程度のコンタクト穴を開けておけば、金属性シリサイドの膜厚を制御することにより、0.5μm程度のコンタクト穴が容易に得られる。本発明で述べた絶縁膜としては酸化膜、塗化膜、アルミナ膜、酸化タンタル膜などがある。また、本発明は絶縁膜の代りに配線用金属膜を用いれば0.5μm程度の配線も形成可能である。

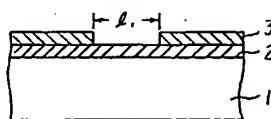
図面の簡単な説明

第1図乃至第4図はそれぞれ本発明の一実施例を示す粒子の断面図明図である。

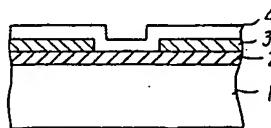
1 … Si 基板、2 … 絶縁膜、3 … 多結晶シリコン、
4 … 遷移金属、5 … 金属シリサイド、6 … 拡散層。

代理人 弁理士 高彌明夫

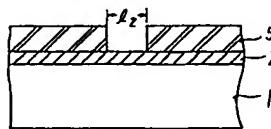
第 一



第 7 四



第 3 四



第 4

